

碳化矽功率半導體元件

顏誠廷
瀚薪科技

一、簡介

為了因應全球暖化所造成的氣候變遷，溫室氣體的減量已經成為國際政治與經濟上最重要的議題之一。溫室氣體的排放量涉及全球能源地景的變動，更透過各國政府的減稅、直接補貼或新能源效率標準的制定而影響了能源科技的發展。

整體能源的耗用，以美國為例，大約有 40% 被轉換成電力，年用電量約 3,500GW。台灣目前的年耗電量則約為 34GW。電力在生產時，由熱能、機械能轉換為電能的過程中，會依熱力學定律而產生一定的損耗，在輸電、配電到終端負載的過程中，還會因經過輸配送線路以及多次的交流 / 交流 (AC-AC)、交流 / 直流 (AC-DC)、直流 / 交流 (DC-AC) 以及直流 / 直流 (DC-DC) 轉換而產生導通與切換損耗，使得最終的能量耗損依應用有可能高達六到八成。

再生能源如太陽能發電、風力發電的發展，以及潔淨碳能源（如產生的全球暖化潛勢較小的天然氣發電）的使用等，固然可以減少溫室氣體的排放

量，但是若能減少電力在轉換過程中的損耗，則不需新增發電廠就能取得額外的電力，這些能源可說是真正零碳排放的綠色能源。

也正因為如此，除了再生能源科技的發展之外，如何以更聰明的方式來輸配電以調整發電量（智慧電網）以及如何降低電力在層層抵達終端使用者的手中前的耗損（透過各式各樣的轉換器與逆變器），也越來越受重視。而在這其中扮演了關鍵角色的就是功率半導體元件。最早的功率半導體元件是 Si 閘流體 (thyristor)，已有 50 年的歷史，隨著 Si Power MOSFET 與 Si IGBT 的發展，功率半導體元件被廣泛地使用在各式各樣的電子產品、家電與電力系統中，是我們能夠方便、安全的取用電力最主要的原因。

二、碳化矽 (SiC, Silicon Carbide)

SiC 功率半導體元件的發展歷史可回溯到大約 20 年前。人們對 SiC 功率半導體元件的興趣主要來自於 SiC 因其寬能隙，有潛力能實現阻斷電壓 (BV, blocking voltage) 在 600V 以上到數千 V

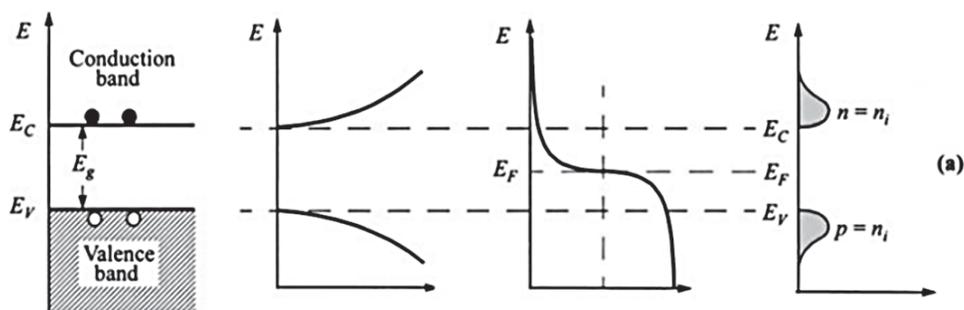
之間的低損耗、高速單極性開關元件及二極體，且能夠應用在高溫或輻射等極端環境下。SiC 是一種極為強韌的材料，其莫氏硬度 (Mohs hardness) 高達 9.2，僅次於鑽石 (硬度 10)，加溫到 2600°C 以上才會昇華 (Si 在 1400°C 以上就開始熔化)，要進行溼蝕刻必須使用加熱到 500°C 以上的熔融態純氫氧化鉀。由於其優秀的機械及化學性質，SiC 也經常被用來作為抗腐蝕與耐磨鍍層。

Si-C 的鍵長為 1.89Å，Si-Si 的鍵長 2.35 Å，較短的鍵長意味著更強的鍵結強度，也是 SiC 之所以具備強韌的化學及機械性質的主因，而較短的鍵長也使得 SiC 在鍵結時能階分裂得更開而形成較 Si 更寬的能隙。SiC 的另一個特色是具有高達 250 種以上的結晶堆疊型態。常見的有 3C-SiC、2H-SiC、4H-SiC、6H-SiC、15R-SiC 等。以目前功率半導體元件主要使用的六方晶型 4H-SiC 為例，其能隙達 3.26eV，相較之下，Si 的能隙只有 1.12eV。

不易加工再加上複雜的結晶堆疊形態，是早期 SiC 的發展受到限制的

主因。Si 在 90 年代初期就已經開始使用 8 吋晶圓，而同時期的 SiC 晶圓尺寸僅有 1 吋，且每平方公分的微管缺陷 (micropipe，因晶格堆疊錯位所產生的貫穿晶圓上下表面的孔洞) 大於 1000 cm⁻²，如此高的缺陷密度不但限制了元件的尺寸，也造成 SiC 元件的製造成本高居不下。然而隨著 SiC 長晶技術的發展，目前 SiC 基板的微管缺陷密度已經降到小於 1cm⁻²，SiC 基板的主流尺寸也達到 4 吋，6 吋的基板已有廠商開始投入量產，據估計到了 2016 年就會成為主流尺寸。隨著新基板製造廠商的投入與新的長晶技術的進展，未來 SiC 的基板成本可望進一步下降，將有利於 SiC 功率半導體元件的市場滲透。

SiC 之所以能夠應用於高溫環境下的主因是其具備寬能隙。我們知道半導體的本徵載子濃度 (n_i) 是 Fermi-Dirac 分布函數乘上能態密度 (DOS, density of states) (圖一)，因此在相同溫度熱平衡下，SiC 由於導帶能階離費米能階較遠，因此被激發到導帶上的自由電子數量遠低於 Si。



圖一：載子濃度 = 能態密度 × Fermi-Dirac 分布函數。圖引用自 [1]。

舉例來說，同樣在室溫下，Si 的本徵載子濃度大約是 $1 \times 10^{10} \text{ cm}^{-3}$ ，但 SiC 只有約 $1 \times 10^9 \text{ cm}^{-3}$ 。如圖二，當溫度上升到 500K 時，Si 的本徵載子濃度已上升到約 $1 \times 10^{14} \text{ cm}^{-3}$ ，接近元件在製作時所使用的摻雜濃度，如此一來將造成元件的不穩定甚至失效。反之，SiC 的本徵載子濃度在此時仍遠低於一般的摻雜濃度，這就是 SiC 元件具備在高溫下仍能穩定操作的潛力的原因。

SiC 相較於 Si 的另一特點為較高的崩潰臨界電場 (critical field)。SiC 之所以具備較高的臨界電場是因為當載子被電場加速到一定的速度時，與晶格中的原子碰撞會激發位於價帶的電子而連鎖產生大量的自由電子電洞對，進而造成累增崩潰 (avalanche breakdown)。而載子要引發累增崩潰，所需的動能至少為 $\frac{3}{2} E_g$ 。較寬的能隙使得 4H-SiC 的臨界電場可達到 2.2 MV/cm，與 Si 的 0.3 MV/cm 相差將近一個數量級。

一般分離式的功率元件為了充分利用基板面積，提高可操作的電流密

度，多採用垂直式結構。垂直式的功率元件主要藉由空乏後的漂移層 (drift layer) 來耐壓，漂移層的濃度 (N_D) 與厚度 (W_D) 決定了漂移層所貢獻的導通電阻：

$$R_{on,sp} = \left(\frac{W_D}{q\mu_n N_D} \right)$$

而漂移層的厚度又與耐壓 BV 成正比：

$$W_D = \frac{2BV}{E_C}$$

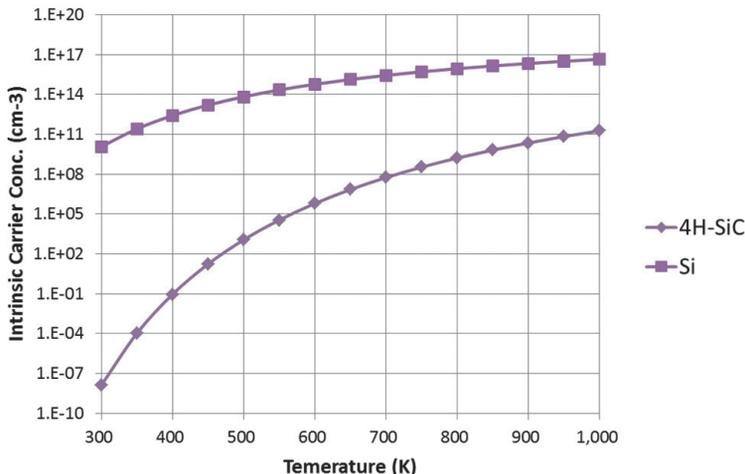
因此我們可以將漂移層的導通電阻，改寫為 [2]：

$$R_{d,ideal} = \frac{4BV^2}{\epsilon_S \mu_n E_C^3}$$

由上式，比較 Si 與 SiC 的漂移層在設計相同耐壓下的導通電阻可以得到：

$$\frac{R_{d,Si}}{R_{d,4H-SiC}} = \frac{\epsilon_{S,4H-SiC} \mu_{n,4H-SiC} E_{C,4H-SiC}^3}{\epsilon_{S,Si} \mu_{n,Si} E_{C,Si}^3} = 234$$

也就是說，在理想的狀況下，使用 SiC 元件來取代 Si 元件，有機會將



圖二：4H-SiC 與 Si 的本徵載子濃度隨溫度之變化

導通損耗減少為原本的數百分之一。對 SiC 功率半導體元件的開發者而言，最重要的課題就是如何盡量地發揮 SiC 材料本身的潛力。

以下將分別介紹目前主要的 SiC 功率半導體元件的發展情況。

三、SiC 蕭基二極體 (SiC Schottky Diode)

根據 Schottky-Mott rule，理想的蕭基能障 $q\phi_{Bn0}$ (Schottky barrier) 可寫為 [1]：

$$q\phi_{Bn0} = q(\phi_m - \chi)$$

即金屬功函數與半導體的電子親和力的差值。Si 的電子親和力為 4.05eV，4H-SiC 的電子親和力則為 3.1eV，因此可以預期 SiC 的蕭基二極體相較於 Si 具有較高的蕭基能障與切入電壓 (cut-in voltage)。Si 蕭基二極體的切入電壓一般在 0.15~0.45V，而 SiC 蕭基二極體的切入電壓則在 0.6~0.8V 之間。

Si 蕭基二極體雖然因為較低的蕭基能障而擁有非常低的切入電壓與順向壓降，然而在反向操作時，蕭基二極體的反向漏電流 主要是由熱電子 (thermoionic emission) 與蕭基能障減低 $\Delta\phi_{BN}$ (Schottky barrier lowering) 所貢獻 [2]，可寫成：

$$J_L = -AT^2 e^{-q(\phi_{BN} - \Delta\phi_{BN})}$$

其中蕭基能障減低 $\Delta\phi_{BN} = \sqrt{\frac{qE_M}{4\pi\epsilon_s}}$ 與反向偏壓施加於金屬 / 半導體介面的電場有關。因此蕭基二極體的反向漏電流會隨著蕭基能障降低與反向偏壓提高而快速增加。一般而言，Si 蕭基二極體即使使用溝渠式的 TMBS (Trench MOS controlled Schottky rectifiers) 等較複雜的結構來抑制漏電流，其耐壓仍很難超過 200V。在需要更高額定電壓的應用時，就不得不使用雙極性的快速回復二極體 (FRD, fast recovery diode)。

快速回復二極體由於在順向操作時有少數載子的注入，使得其在切換時，需要先將元件內的少數載子導走，而形成可觀的反向回復電流，以及較長的反向回復時間，造成極大的切換損耗，並限制了系統的操作頻率。圖三比較額定電壓 600V 的 SiC 蕭基二極體元件與 Si 快速回復二極體的反向回復特性，即可看出兩者的差別。

SiC 蕭基二極體元件由於其優異的反向回復特性，在 Infineon 最早於 2001 年開始量產其第一代產品之後，迅速地滲透了 600V 以上需要快速切換的交換式電源供應器 (SMPS, switching mode power supply) 等市場。目前供應 SiC 蕭基二極體分離式元件的主要廠商包括歐洲的 Infineon、STMicroelectronics，美國的 Cree 以及日本的 Rohm 等。至於其他的功率半導體大廠，如日本的 Mitsubishi Electric 與 Fuji Electric 等，主要以供應內部的模組與系統應用為主，並未直接銷售分離式元件。去年成立的瀚薪科技是台灣目前唯一的 SiC

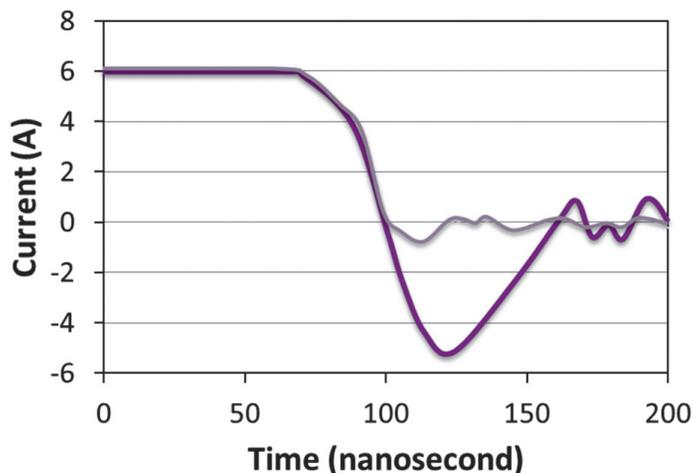
蕭基二極體供應商，目前已可提供額定電壓 600/650V 與 1200V，額定電流 2A~100A 的 SiC 蕭基二極體。

四、SiC 金氧半場效電晶體 (SiC MOSFET)

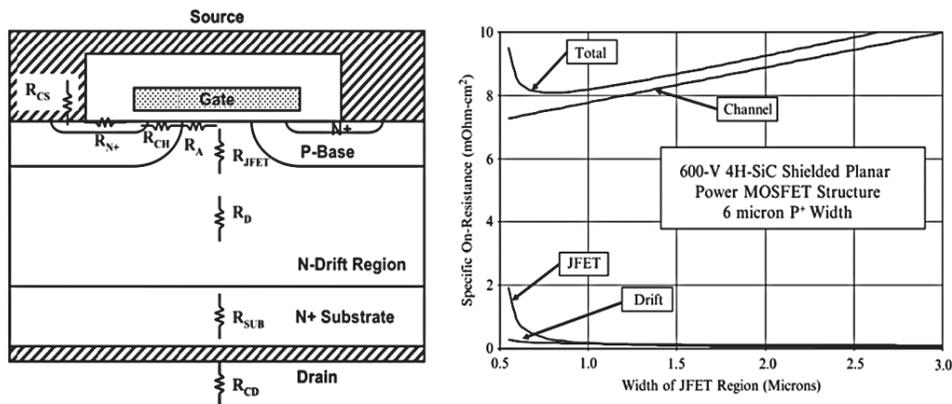
SiC 為唯一可藉由熱氧化形成氧化層的化合物半導體，因此自發展伊始，SiC MOSFET 的發展即備受期待。直到今日，在提升 SiC MOSFET 性能上最大的挑戰仍然是如何製作出高品質的閘極氧化層。

圖四左繪製了 MOSFET 導通時的電阻組成成分。對 Si 而言，通道電子遷移率 (channel mobility) 通常可達基材電子遷移率 (bulk mobility) 的 50%，但是對 SiC 而言，單純以熱氧化所製作的閘極氧化層所能得到的通道電子遷移率經常只有基材電子遷移率的 1% 以下。以至於如圖四右的計算所示，

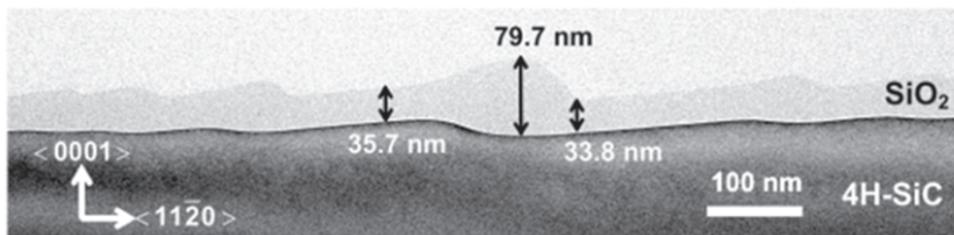
SiC MOSFET 中佔了元件整體導通電阻最大比例的往往是通道電阻，使得元件無法完全發揮材料本身的優勢。SiC MOSFET 的通道遷移率偏低的原因主要有兩點，其一是 SiC 的氧化機制與 Si 十分不同，使得氧化層與 SiC 的介面存在著非常高的介面陷阱密度 (D_{it} , density of interface traps)；其二是，目前的 SiC 基板中，仍存在許多的基面差排缺陷 (BPD, basal plane dislocation)，為了將這些基面差排缺陷在磊晶時轉化成較無害的貫穿式差排 (TED, threading edge dislocation) 與螺旋差排 (TSD, threading screw dislocation)，基板在切割時通常會往 $\langle 11-20 \rangle$ 的方向斜 4 或 8 度角進行切割。這種切割方式會使得 SiC 的基板表面在微觀下自然形成階梯狀。這種階梯狀表面在氧化後會形成維持波浪狀的起伏如圖五 [3] 所示，對載子造成粗糙度散射。



圖三：額定電壓 600V 之 SiC 蕭基二極體 (藍色線) 與 Si 快速回復二極體 (紅色線) 的反向回復特性比較。

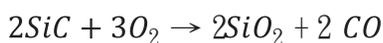


圖四：SiC MOSFET 的導通電阻組成以及貢獻。引用自 [2]



圖五：以 4 度角斜切的 SiC 氧化後的情形。引用自 [3]

SiC 的氧化反應可以簡單地寫成下式：



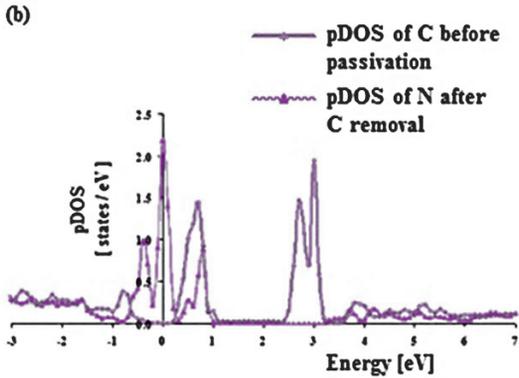
在氧化的過程中牽涉到氧氣擴散到已形成的 SiO₂ 層，SiO₂/SiC 到介面，與 SiC 進行反應，以及 CO 擴散離開 SiO₂ 層等過程。其介面氧化過程可以視為 Si 的氧化與 C 的氧化兩種氧化反應的競爭，未完全反應的 C 會在介面形成 Si 空缺 (silicon vacancy)、碳簇 (carbon cluster) 或間隙碳 (carbon interstitial) 等缺陷，而在能隙內的不同位置形成能態，最終成為受體陷阱 (acceptor traps) 或施體陷阱 (donor traps)。

根據第一原理 (first principle) 的計算 [4]，Si 空缺會在 SiC 能隙中靠近價

帶處形成高密度的能態，而形成施體陷阱。而碳簇或間隙碳，則會在能隙中靠近導帶處形成高密度的能態，而形成受體陷阱。

一般的 SiC MOSFET 都是 n 型通道 MOSFET，當 p 型井反轉形成通道時，靠近導帶的受體陷阱一方面會捕捉電子，減少了能夠用來傳導電流的電子密度，一方面填入了電子的受體陷阱又會形成負電荷，對電子的傳導造成嚴重的庫侖散射，表現出來的就是非常低的通道遷移率。

目前要改善 SiC MOSFET 的通道遷移率，主要的手段有兩種，一是藉由氮化 (nitridation)，一是藉由磷處理來鈍化界面陷阱。

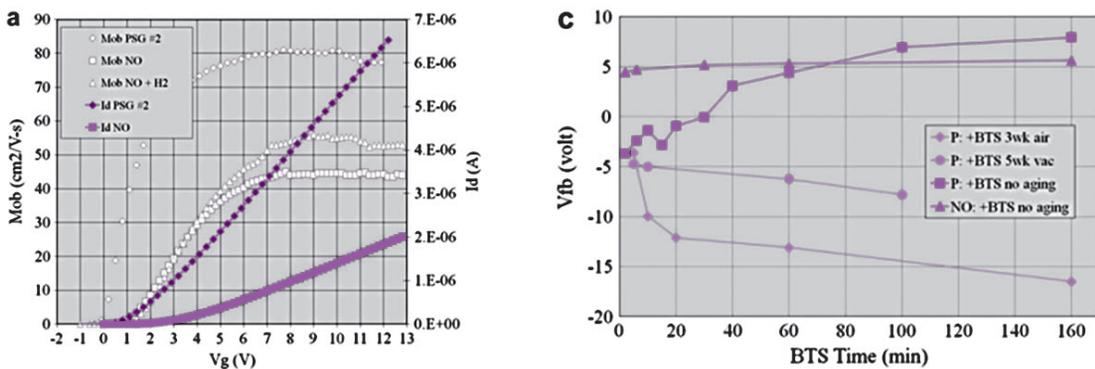


圖六：藉由氮鈍化來移除間隙碳前後的能態變化，間隙碳在靠近導帶 (3eV 附近) 所形成的能態峰，在經過氮鈍化後消失，圖取自 [3]。

最早提出藉由氮化來鈍化 SiC 與氧化層介面的是澳洲 Griffith Univ. 的研究團隊 [5]，他們發現在高溫下 (1100°C) 利用 NO (nitric oxide) 來進行氧化後退火，可以大幅降低 6H-SiC 氧化層的 Dit。一般而言，利用 NO 退火可以將 Dit 降低約一個數量級，同時將通道遷移率提升約一個數量級。圖六所示即為根據第一原理的計算，經過氮的鈍化後，可以移除原本間隙碳在能隙靠近導帶附近所形成的能態。

氮的鈍化技術可以說是讓 SiC MOSFET 得以商品化的一大突破。除了 NO 退火之外，藉由氮來鈍化界面陷阱的方式還包括了 NO 氧化、N₂O 氧化、N₂O 退火、NH₃ 退火、HNO₃ 退火、N 離子植入、含 N 的電漿處理等。

除了氮的鈍化之外，日本的奈良先端科學技術大學 (NIST) 研究團隊也在 2009 提出了以 POCl₃ 來進行氧化後退火的方式，這種方式可以讓靠近導帶的 Dit 進一步地降低到 $1 \times 10^{11} \text{ cm}^{-3}$ 以下，通道遷移率提升到 $80 \text{ cm}^2/\text{V}\cdot\text{s}$ 以上。[6] 其他使用磷來進行鈍化的方法還有使用 PSG 來做為閘極氧化層或是以 P₂O₅ 來進行退火等。如圖七左所示，磷鈍化一般都可以得到高於氮鈍化的通道遷移率。[7] 然而在使用磷來鈍化時，平帶電壓 (flat-band voltage) 會產生嚴重的偏移情形。如圖七右所示，在經過一定時間的升溫偏壓應力測試後 (BTS, bias temperature stress)，經過磷鈍化的 MOS 電容元件其平帶偏壓偏移最高可達 15V，將產生嚴重的可靠度問題。也因此伴隨磷鈍化所產生的可靠度問題



圖七：磷鈍化與氮鈍化的通道遷移率 (左)，與平帶電壓飄移 (右) 的比較。

解決前，可以預期氮化仍會是用來鈍化介面陷阱以提升 SiC MOSFET 的通道遷移率的主要技術。

美國的 Cree 最早在 2011 年開始量產 1200V 的 SiC MOSFET，隨後日本的 Rohm 也在同年宣布開始量產 600V 與 1200V 的 SiC MOSFET。目前除了 Cree 與 Rohm 之外，歐洲的 STMicroelectronics 也宣布將量產 1200V 的 SiC MOSFET。日本的 Mitsubishi、Fuji Electric、Denso 與美國的 Microsemi 等廠商則是宣布已在其功率模組產品中使用自製的 SiC MOSFET。目前已量產的 SiC MOSFET 主要以平面結構 (planar) 的 DMOS 為主。然而值得注意的是，在較低的額定電壓如 600V 下，使用溝槽式結構對於大電流的應用是個極具吸引力的選項。例如 Rohm 曾在 2012 年的 IEDM 發表過 $R_{on,sp}$ 僅有 $0.79m\Omega \cdot cm^2$ 的 600V SiC UMOS，並且在最近發表了使用其 SiC UMOS 的 600V/200A 試作模組。[8] 主要的原因在於 SiC UMOS 可將通道製作在 $\langle 11-20 \rangle$ 或 $\langle 0-3-38 \rangle$ 等晶面上，一般而言製作在這些晶面上的通道其遷移率會高於平面結構 DMOS 的通道所在的 $\langle 0001 \rangle$ 面。此外 UMOS 還可藉由磊晶精確控制並縮短通道的長度，以及藉由增加單位面積內的通道寬度，來提高電流。這也是為何雖然 SiC 的溝槽蝕刻相對於 Si 而言十分困難，且人們對於 UMOS 閘極氧化層的可靠度仍抱有較大疑慮的情況下，除了 Rohm 之外，還是有許多以日本為主的廠商，

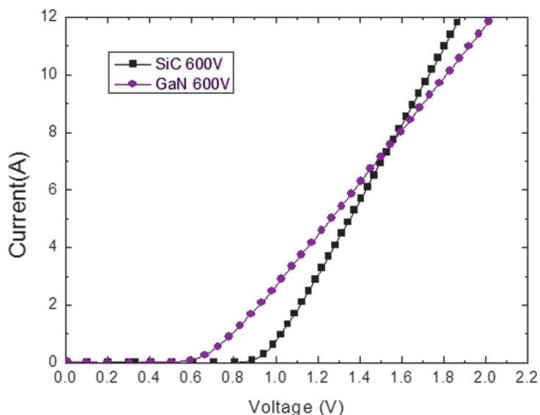
包含 Mitsubishi Electric 與 Sumitomo Electric 等，仍持續地開發 SiC UMOS 的原因。

五、氮化鎵 (GaN, Gallium Nitride) 功率半導體元件

GaN 的能隙為 3.39eV，是經常被拿來與 SiC 比較的寬能隙半導體。GaN 最大的優勢是可以藉由變化磊晶的成分比或是採用超晶格 (super-lattice) 等結構，以異質磊晶的方式成長在 Si 基板上，如此一來就有機會借由成熟的 6 吋、8 吋甚至是 12 吋的 Si 製程，迅速地提昇產能及降低成本。GaN-on-Si 的另一個優點是可以與 AlGaN 形成電子遷移率可達 $2000cm^2/V \cdot s$ 的 2DEG (two-dimensional electron gas, 二維電子氣)，因此使用 AlGaN/GaN 所製作的 HEMT (high electron mobility transistor, 高電子遷移率電晶體) 可操作在非常高的頻率下。但是目前 GaN-on-Si 在功率元件的發展上，尤其是在較高功率 (額定電壓 600V 以上，額定電流 10A 以上) 的範圍仍舊面臨一些問題。首先 HEMT 一般屬於常開型元件，若要製作常關型的 HEMT，其閘極必須以 p-GaN，或 MIS 結構搭配蝕刻凹陷 (recess)、電漿氟離子植入等方式來製作，才能讓 AlGaN/GaN 所形成的 2DEG 空乏掉。如此一來，為了得到常關型的 HEMT，往往需要犧牲導通電阻來得到足夠高的臨界電壓 (V_{th})。其次是當汲極的阻斷電壓提高到 600V 以上時，元件容易因

為表面電荷的累積而影響到閘極的正常開關，形成所謂的電流崩潰 (current collapse) 現象。至於其他種類的開關元件如 MOSFET，GaN-on-Si 受限於下方的 Si 基板承受不了活化所需的高溫，無法如 Si 或 SiC 一樣以離子植入的方式來形成 PN 接面，只能使用磊晶的方式來製作，而且 GaN-MOSFET 的閘極介電層必須以沉積的方式來製作，在可靠度上有較大的疑慮，因此進展的速度不如 GaN-HEMT。

除此之外，由於 GaN-on-Si 只適合用來製作橫向式 (lateral) 元件，而橫向式元件所能承受的電流密度 (A/cm^2) 低於垂直式元件，因此在相同的額定電流下，GaN-on-Si 需要的元件面積大於 SiC。例如圖八比較製作在 GaN-on-Si 與 SiC 上的 600V 蕭基二極體的順向 IV 特性。兩者在順向電壓 $V_F=1.5V$ 下的電流都在 7A 左右，但是 GaN 蕭基二極體所需的面積是 SiC 的 5 倍。再加上 Si 基板的熱導係數不如 SiC，因此要實現大電流的 GaN-on-Si 元件的難度



圖八、GaN 與 SiC 600V 蕭基二極體之順向特性比較

遠高於 SiC。目前看來 GaN-on-Si 元件的應用主要在較低功率，需要高速切換的應用上，與 SiC 元件的應用仍有一定的區隔。但是可以想見，隨著技術的進展與成本的降低，GaN 將會往更高電壓更大功率的方向發展，而 SiC 也會往較低電壓的方向 (例如 Rohm 已有提供 400V 的 SiC MOSFET) 發展，屆時兩者將在性能與成本上正面交鋒。

六、結語

以上由 SiC 的材料特性著手，簡短地介紹了主要 SiC 功率半導體元件的發展現況。除了 SiC 蕭基二極體與 SiC MOSFET 以外，另一種已量產的元件是接面場效電晶體 (JFET, junction field effect transistor)，SiC JFET 的供應商主要是 Infineon。JFET 的優點在於不需使用氧化層，可以避開與氧化層有關的可靠度問題，且有潛力應用在大於 $300^{\circ}C$ 的高溫下。但 Infineon 的 JFET 由於屬於常開型 (normally-on) 的元件，因此需要再搭配一顆低壓的 Si MOSFET 來形成串疊式 (cascode) 架構，在驅動時需要考慮的問題較多，在此不做詳細介紹。至於 SiC 的雙極性元件，例如 PiN diode 與 IGBT，目前尚無廠商量產，但是兩者都已經有耐壓大於 20kV 的文獻發表，這些元件具有潛力應用在電網的中功率範圍 ($>15kV$, 100kW)，若能實用化，將進一步提高電網輸配電的效率，降低能源損耗，並提供更佳的供電品質。

- [1] S. M. Sze and K. K. Ng, *Physics of Semiconductor Devices*, 3rd Eds. Wiley Interscience, 2007.
- [2] B. J. Baliga, *Fundamentals of Power Semiconductor Devices*, Springer, 2008.
- [3] T. Hosoi, K. Kozono, Y. Uenishi, S. Mitani, Y. Nakano, T. Nakamura, T. Shimura, H. Watanabe, *Mater. Sci. Forum*, 679-680, 342, 2011.
- [4] S. Salemi, N. Goldsman, D. P. Eittserry, A. Akturk, A. Lelis, *J. Appl. Phys.* 113, 053703, 2013.
- [5] H. Li, S. Dimitrijevic, H. B. Harrison, D. Sweatman, *Appl. Phys. Lett.* 70 (15), 2028, 1997.
- [6] D. Okamoto, H. Yano, T. Hatayama, T. Fuyuki, *Mater. Sci. Forum*, 645, 495, 2010.
- [7] Y. K. Sharma, A. C. Ahyi, T. Issacs-Smith, X. Shen, S. T. Pantelides, X. Zhu, L. C. Feldman, J. Rozen, J. R. Williams, *Solid-State Electronics*, 68, 103, 2012.
- [8] T. Nakamura, April, 10, IWWPE 2014.

作者簡介

顏誠廷

台大化工博士(2004),台大財金碩士(2012),目前任職於瀚薪科技。曾任工研院電光所專案副理,參與自旋電子與 SiC 功率半導體元件之開發,及執行與卡內基美隆大學與瑞典 Acreo Swedish ICT 之國合計畫。發表過約 50 篇國際期刊 / 研討會論文以及約 50 件已獲證 / 申請中專利。