

氮化鎵功率元件簡介

Overview of GaN Based Power Device

黃智方、張庭輔

國立清華大學電子工程研究所

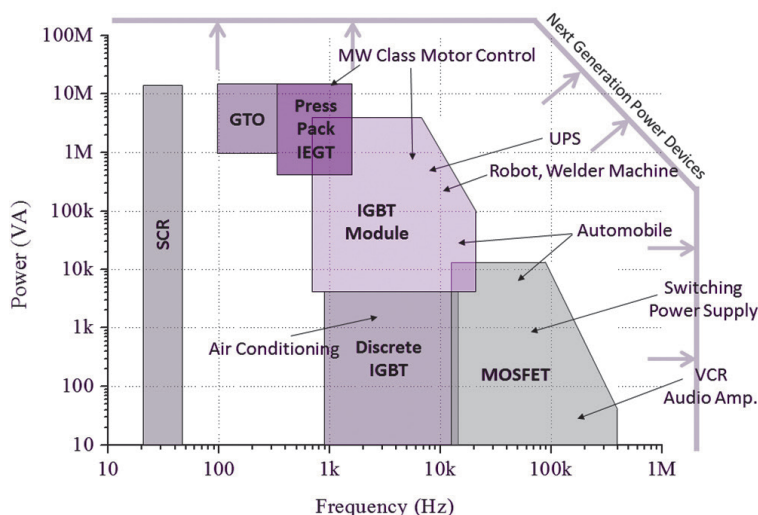
一、前言

功率半導體元件的歷史最早可以追溯至 1950 年代，當時使用矽 (Silicon)、鍺 (Germanium) 材料製作 PN 二極體及閘流體 (Thyristor)，可以承受數百伏特的反向耐壓及數十安培的正向電流。之後隨著時間演進在 1960 年代 BJT、1970 年代 MOSFET 及 1980 年代 IGBT 各自發展成熟，如今絕大部分的功率元件市場被矽元件所佔據，應用範圍從功率幾 Watt 到幾百 Megawatt，頻率從幾十 Hz 到 MHz，圖一顯示目前各種矽功率元件的操作範圍及其應用 [1]。然隨著技術的進步及各種新興的應用出現，市場渴望下一代的功率元件能夠有更大的功率密度、更快的操作頻率、更低的功率消耗以及更好的可靠度，矽元件的發展受限於材料特性已不足以滿足這方面的需求，因此目前功率元件發展的

一個重要趨勢為尋找新的功率元件半導體材料，其中氮化鎵 (Gallium nitride) 為備受矚目的選擇之一。本文的目的在介紹氮化鎵功率元件的優點、幾個發展方向、目前所受到的瓶頸與挑戰和未來的方向，以提供讀者一個概貌。

二、材料及製程

承受高電壓為功率元件的基本功能，在這個考量下，材料的崩潰電場 (E_c , Critical electric field)，是一個優先考慮的特性，而一般半導體材料的崩潰



圖一：各種矽功率元件操作範圍和其典型應用

電場和其能隙 (E_g , Bandgap) 約略呈下列的關係式 [2]：

$$E_c = 1.75 \times 10^5 (E_g)^{2.36}$$

因此所謂的寬能隙半導體如氮化鎵及碳化矽 (Silicon carbide) 為目前最受矚目的新世代功率元件材料。表一整理了幾個常見的半導體材料特性，除了十倍於矽的高崩潰電場之外，氮化鎵寬能隙的特性亦有利於提高元件的操作溫度和降低 junction leakage current，這兩個特性對功率元件也是非常重要。同時氮化鎵的電子飽和速度 (Electron saturation velocity) 大於矽兩倍以上，有利於元件高頻操作。表一亦比較了高頻元件的性能指標 JFOM (Johnson's Figure of Merit) 及功率元件 BFOM (Baliga's Figure of Merit)

it)[3]，由於氮化鎵優異的材料特性，其各種性能指標遠遠地超過了矽和砷化鎵 (Gallium arsenide) 等傳統半導體。

儘管氮化鎵作為功率元件材料的優勢已被廣泛接受，氮化鎵的材料和製程仍有許多的挑戰，目前最大的問題可以說是材料的來源。矽晶圓成長和磊晶技術經過數十年的發展已經可以說是相當成熟，對材料中各種重要缺陷可以率控制的非常好，其成果展現在矽功率元件優異的可靠度和強韌度，舉例來說，矽晶圓中的錯位缺陷密度 (Dislocation density) 幾乎可以減少至 $0/\text{cm}^2$ ，而目前氮化鎵晶圓，使用 HVPE 成長錯位缺陷密度約在 $10^5/\text{cm}^2$ 左右，而最近幾年發展使用 Na-flux 的方法成長，宣稱錯位缺陷密度可以降至 $10^3/\text{cm}^2$ 範圍。然而目前氮化鎵晶圓的最大尺寸為二吋，

表一：各種半導體材料特性及其 FOM 比較

	Si	GaAs	4H-SiC	GaN
E_g (eV)	1.12	1.42	3.25	3.4
n_i (cm^{-3})	1.5×10^{10}	1.8×10^6	1.6×10^{-8}	1.9×10^{-10}
E_c (MV/cm)	0.3	0.5	3	3.3
μ_n (cm^2/Vs)	1500	8500	900 (a) 1050 (c)	2000
μ_p (cm^2/Vs)	450	400	120	150
u_{sat} (cm/s)	1×10^7	2.1×10^7	2×10^7	2.5×10^7
k (W/cmK)	1.5	0.46	3.3	1.3
Chemical inertness	Good	Fair	Excellent	Fair
JFOM $E_c/2n u_{\text{sat}}$ (normalized to Si)	1	9.4	7	14.7
BFOM $\mu_n \epsilon_s E_c^3$ (normalized to Si)	1	6.8	571	1446

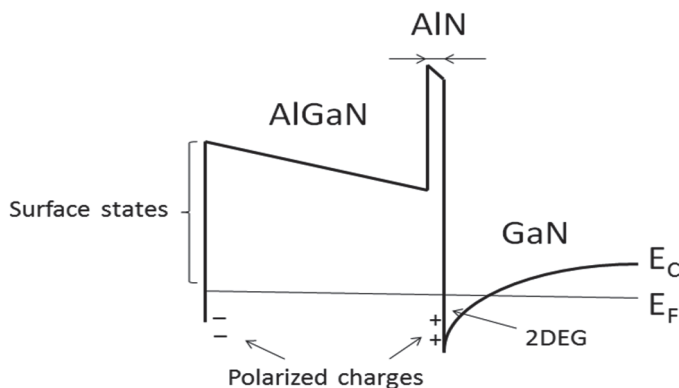
且成本為矽晶圓的百倍以上，尚未具有商業價值，因此目前較受歡迎的氮化鎵材料來源為異質磊晶成長於其他半導體晶圓。表二比較了各種氮化鎵磊晶晶圓的來源和優缺點，其中以成本來說，GaN on Si 晶圓具有尺寸大(6吋以上量產)，價格低廉的優勢，然而 GaN on Si 晶圓有著最嚴重的晶格匹配問題，因此即便經過許多努力，使用 pattern substrate、supper lattice buffer、epitaxial lateral overgrowth 等等技術，目前錯位缺陷密度約在 $10^9/\text{cm}^2$ 。GaN on Sapphire 晶圓一般認為可以藉重 LED 產業的經驗，然而晶圓尺寸和元件散熱會是待解決的問題，其錯位缺陷密度約在 $10^8/\text{cm}^2$ ；GaN on SiC 有著最佳的晶格匹配和最好的熱傳係數，其錯位缺陷密度可降低至 $10^6/\text{cm}^2$ ，然而較高的晶圓成本將是商業化的最大問題。

除了以上討論的基本材料性質之外，氮化鎵異於其他傳統半導體有著的非常強的極化 (Polarization) 效應，除了因 III-V 離子鍵和 wurtzite 晶格結構所形成的自發性極化 (Spontaneous polarization) 效應之外，成長異質結構時因晶格不匹配而形成的晶格擠壓額外造成壓電極化 (Piezoelectric polarization) 效應，這兩個效應一起使得在介穩狀態 (Metastable) 應變 (Strained) 的異質介面有著極大的極化電荷，以 Ga-face 的 AlGaIn/GaN 異質介面為例，當 AlGaIn 厚度為 20 nm，Al 的莫爾比例為 0.2-0.4 時，極化電荷感應的二維電子氣 (2DEG) 密度為 $3-13 \times 10^{12}/\text{cm}^2$ [4]，這個數字相較於 AlGaAs 的材料系統大了一個數量級，再加上常溫的 2DEG 電子遷移率為 $1500 \text{ cm}^2/\text{Vs}$ 左右，使得元件結構中的導通電阻可以大大降低，尤其是承受反向電壓的漂移區 (Drift region)。圖二為 AlGaIn/GaN 異

taneous polarization) 效應之外，成長異質結構時因晶格不匹配而形成的晶格擠壓額外造成壓電極化 (Piezoelectric polarization) 效應，這兩個效應一起使得在介穩狀態 (Metastable) 應變 (Strained) 的異質介面有著極大的極化電荷，以 Ga-face 的 AlGaIn/GaN 異質介面為例，當 AlGaIn 厚度為 20 nm，Al 的莫爾比例為 0.2-0.4 時，極化電荷感應的二維電子氣 (2DEG) 密度為 $3-13 \times 10^{12}/\text{cm}^2$ [4]，這個數字相較於 AlGaAs 的材料系統大了一個數量級，再加上常溫的 2DEG 電子遷移率為 $1500 \text{ cm}^2/\text{Vs}$ 左右，使得元件結構中的導通電阻可以大大降低，尤其是承受反向電壓的漂移區 (Drift region)。圖二為 AlGaIn/GaN 異

表二：GaN 磊晶成長於各種基板之特性比較

Substrate	Lattice mismatch	Epilayer crystal quality	Thermal conductivity	Large wafer size	Cost
GaN	0%	√√	Δ	X	X
Sapphire	13.6%	Δ	X	Δ	√
SiC	3.6%	√	√	Δ	Δ
Si	16.9%	Δ	Δ	√	√√

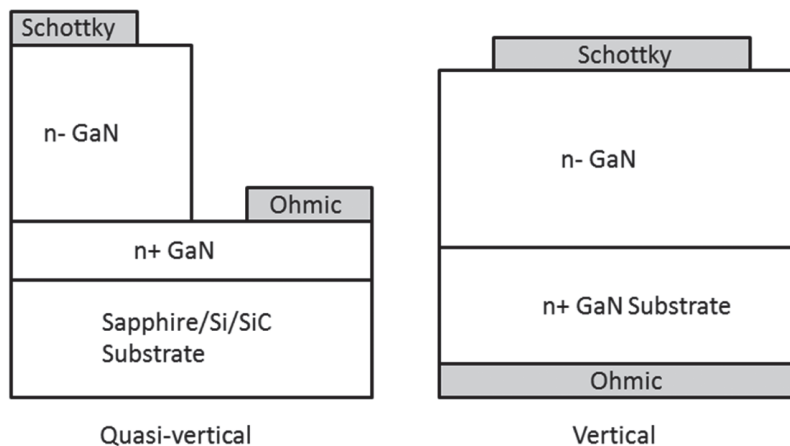


圖二：AlGaIn/GaN 異質介面之能帶分布示意圖

質介面的能帶示意圖，其中在 AlGaIn/GaN 介面加入 1 nm 的 AlN，可以有效的局限電子分布於能量井內而減少合金散射 (Alloy scattering)，實驗證明可進一步增加電子遷移率，同時因 AlN 較大的壓電極化效應而提升 2DEG 濃度至 $15 \times 10^{12}/\text{cm}^2$ 以上 [5]。此外因為其他的考量，目前也有很多的研究在尋找其他的 barrier 結構，比如說利用 AlInN 本身較強的自發性極化效應或利用 AlN 本身較大的壓電性極化效應，來進一步提升 2DEG 的性質而改善元件的特性。

有了成熟的材料，還必須經過一連串的製程步驟以完成最終元件結構。三五族的氮化鎵很多的製程和砷化鎵不同，更遑論傳統功率元件砷製程，功率元件晶圓廠跨入氮化鎵領域不得不考慮其間之差異，在此僅將重要氮化鎵製程整理如下。氮化鎵最有效的 n-type 參雜 (Dopant) 為矽原子，donor level 為 30 meV，室溫之下幾乎 100% 游離，電阻率可達 $0.002 \Omega\text{cm}$ 。使用離子佈植 (Ion implantation) 再經過 1100°C 熱

處理有 93% 的活化率 [6]；若是使用擴散的方式因其擴散係數相當的低，必須要在 1000°C 以上長時間處理才有可觀察的擴散行為，但不足以形成功率元件所需要的有效 junction depth，同時在高溫製程時的氮化鎵解離現象也必須考慮 [7]。氮化鎵最有效的 p-type 參雜為鎂原子，acceptor level 為 170 meV，室溫之下僅有不到 10% 游離，電阻率僅有 $1 \Omega\text{cm}$ 。鎂的離子佈植需要 1050°C 以上的溫度活化，且活化率極差。考慮到以上幾種因素，目前大部分氮化鎵功率元件的製作使用 in situ doping 的方式，在磊晶同時置入矽或鎂原子以形成適當的 p-type 或 n-type 區域。另外幾個基本的半導體製程如黃光、薄膜沉積和蝕刻等等對氮化鎵元件都不是太大的問題。一般使用 Ti/Al/Ni/Au 的金屬組合可以得到很好的 n-type 金屬接觸，有一些研究考量與砷製程的相容性而發展 Au-free 的金屬接觸，也可以得到可接受的金屬電阻，可達 $10^{-5} \Omega\text{cm}^2$ 。另一個重要課題為氮化鎵 MOSFET 元件所需要的閘



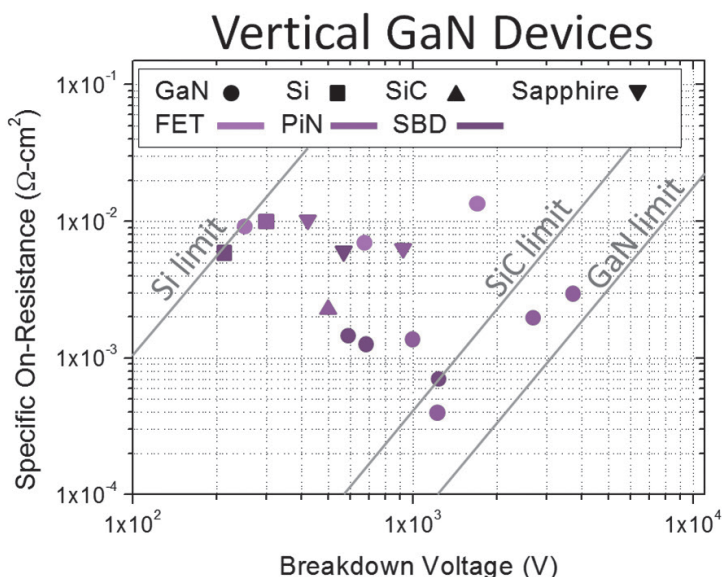
圖三：典型氮化鎵準垂直型和垂直型結構示意圖

極絕緣層，缺乏可比擬熱氧化 SiO₂ 優異穩定的絕緣層一直是 III-V MOSFET 的缺憾，然而儘管目前觀察到氮化鎵 MOS 介面的缺陷密度 (Interface defect density, D_{IT}) 在 10¹²-10¹³/cm²eV 範圍，量測到的通道電子遷移率可達 100 cm²/Vs 以上，已經符合實際元件需求。

三、垂直型氮化鎵元件

儘管氮化鎵材料和製程上仍有種種的困難，但是由於優異的材料特性，學術界和業界已有相當多的元件研究成果。以矽元件的經驗而言，一般大功率元件會選擇垂直型結構因為較高的電流密度和較穩定的元件隔離和電壓保護設計。氮化鎵垂直元件因為基板選擇可以分為垂直型和準垂直 (Quasi-vertical) 型兩類，圖四為垂直型和準垂直型氮化鎵蕭基二極體結構示意圖。垂直型為理想的功率元件結構但是需要昂貴的

氮化鎵晶圓，相較之下，其他晶圓只有準垂直型的選擇。2011 年日本 Hosei University 和 Hitachi Cable 發表了 1100 V、0.4 mΩcm² 的 PIN 二極體，BFOM 達 3 GW/cm²。2013 年美國的 Avogy 公司發表了 10 A、2600 V 的 PIN 二極體，導通電阻僅有 2 mΩcm²，2014 年改良至 3700 V、2.95 mΩcm²，並在這些 PIN 二極體觀察到明顯的 avalanche 現象。由於非常短的載子生命週期 (Carrier lifetime)，這些 PIN 二極體幾乎沒有反向回復電流，適合高頻操作，然而接近 3 V 的 turn-on voltage 是一大缺點。2010 年日本 Hosei University 和 Hitachi Cable 發表了 10A、1100 V、0.71 mΩcm² 的蕭基二極體，turn-on voltage 小於 1V。至於準垂直型二極體，早在 1994 年 Cal Tech 就已經發表 450 V GaN on Sapphire 蕭基二極體，Velox 於 2007 年首先商品化 600 V GaN on Sapphire 蕭基二極體，但沒有透漏



圖四：文獻中氮化鎵垂直型元件之特性比較

重要細節。2010年 Powdec 宣布實現 600 V GaN 蕭基二極體，一般相信是使用 GaN on Sapphire 材料而將基板移除並轉移。2007年 Georgia Tech. 發表了 500 V、 $2.3 \text{ m}\Omega\text{cm}^2$ 的 GaN on SiC PIN 二極體。GaN on Si 目前受限於材料品質和磊晶層厚度，僅有 2014年 MIT 發表準垂直型 205 V、 $6 \text{ m}\Omega\text{cm}^2$ 的蕭基二極體和 300 V、 $10 \text{ m}\Omega\text{cm}^2$ 的 PIN 二極體，但是元件有非常大的漏電流。

在電晶體方面，大部分的研究集中在垂直型的 MOSFET，其中部分研究嘗試在結構中利用 AlGaN/GaN 傑出的 2DEG 性質，但是考慮到功率元件為了系統安全性考量，需要常閉型 (Normally-off) 或是 enhancement mode 操作，在閘極必須要有適當的設計。2007年日本 Toyota 發展 planer gate 的 HFET，導通電阻為 $2.6 \text{ m}\Omega\text{cm}^2$ ，為 Normally-on 且 V_{th} 約為 -16 V。2010年 Sumitomo 發表了 670 V、 $7.6 \text{ m}\Omega\text{cm}^2$ vertical channel HFET，導通電阻為 $7.6 \text{ m}\Omega\text{cm}^2$ ， V_{th} 為 -1.1 V。2014年 Toyota Gosei 發表了 1600 V trench gate MOSFET，導通電阻為 $12.1 \text{ m}\Omega\text{cm}^2$ ， V_{th} 可達 5 V。圖四整理了一些重要的氮化鎵垂直型和準垂直型元件的 $R_{on}\text{-}BV$ ，並以不同基板分類，同時將理論預測之矽、碳化矽、氮化鎵元件物理極限標示，由圖可知氮化鎵垂直型元件已經明顯地超越矽元件，但距離其理論極限仍有一段距離。

四、橫向型氮化鎵元件

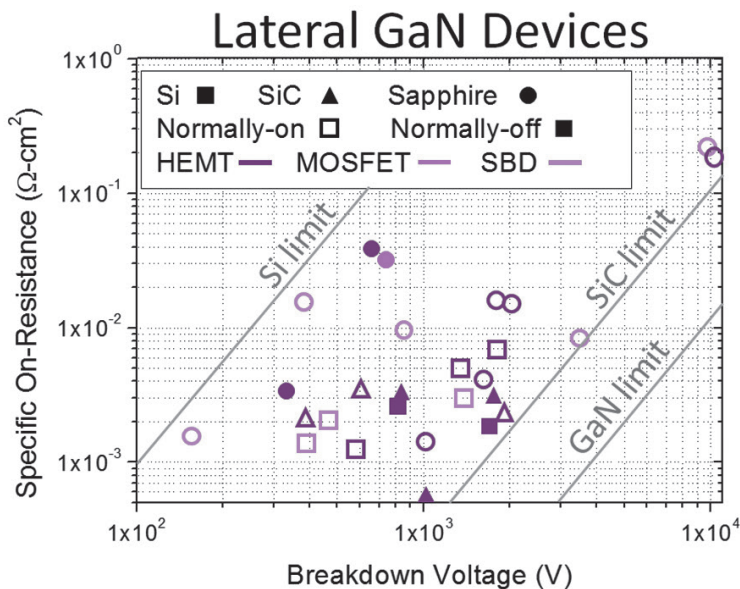
即使垂直型結構為理想之功率元件結構，目前氮化鎵功率元件的研究大部分集中在橫向型元件，其原因為此結構最能發揮其優異的 2DEG 特性。採取了橫向的結構之後，基板不再是電流的路徑而有較大的選擇彈性，然而仍然必須考慮不同基板的特性影響了異質磊晶層的材料優劣。從成本的觀點考量，矽基板是最為有利的選擇，然而受到晶格匹配以及磊晶成長時熱膨脹係數不匹配等等問題的影響，目前矽基板上磊晶層最大厚度約為 $5 \mu\text{m}$ ，較其他種類的基板為小，間接影響了 GaN on Si 元件能實現的崩潰電壓。為了解決晶格不匹配而導致磊晶層缺陷數目過高，磊晶緩衝層的設計便極為重要，同時為了有效降低缺陷造成的漏電流並提升崩潰電壓，使用碳、鐵等能階深層缺陷來形成半絕緣區域是氮化鎵功率元件異質磊晶常見的手法。

橫向型的 AlGaN/GaN 蕭基二極體是目前主要的氮化鎵二極體研究方向。2008年 Panasonic 發表了利用 superjunction 概念和多通道結構的 9300 V、 $176 \text{ m}\Omega\text{cm}^2$ GaN on Sapphire 蕭基二極體，為目前達到最大崩潰電壓氮化鎵二極體。2011年中央大學利用不同 buffer layer 設計，完成 3400 V、 $7.9 \text{ m}\Omega\text{cm}^2$ GaN on Sapphire 蕭基二極體。2013年韓國 Hongik 大學發表 GaN on Si 蕭基二極體，其特點為結合 Ohmic 和 Schottky 之陽極設計，

可以有效降低 turn-on voltage，崩潰電壓可達 1500V。橫向型的 AlGaIn/GaN HEMT 同樣的也是備受矚目的研究方向。2007 年 Panasonic 發表了 10400 V、 $186 \text{ m}\Omega\text{cm}^2$ GaN on Sapphire HEMT，利用 HT-AlN buffer layer、AlN passivation 和基板穿孔的結構有效的提升崩潰電壓，為目前崩潰電壓最高之氮化鎵電晶體。2009 年 Furukawa 發表了 1730 V、 $5.9 \text{ m}\Omega\text{cm}^2$ GaN on Si HEMT，利用最佳化的 field plate 結構可以有效的保護電場改善崩潰電壓。2010 年 MIT 將 GaN on Si HEMT 的基板移除並轉移至另一玻璃基板，發現到崩潰電壓可以從 500 V 提升至 1500 V，而導通電阻僅有 $5.3 \text{ m}\Omega\text{cm}^2$ 。2006 年 UCSB 利用漸變 field plate 的結構，實現了 1900 V、 $2.2 \text{ m}\Omega\text{cm}^2$ 的 GaN on SiC HEMT。橫向型氮化鎵電晶體的另外一個方向是 MOSFET，雖然沒有優異的 2DEG

特性，但是理論上利用氮化鎵本身寬能隙的特性，也可以達到優於矽元件的特性。2009 年 RPI 發表了利用二區域 RESURF 的概念所製作的氮化鎵 MOSFET，崩潰電壓為 730 V 而導通電阻有 $34 \text{ m}\Omega\text{cm}^2$ ，特性亦超越了矽元件的極限，然而前面章節所提到離子佈植的控制及活化將是高電壓橫向型 MOSFET 的一個瓶頸。圖五整理了一些重要的氮化鎵橫向型元件，包括 HEMT、MOSFET 和蕭基二極體，並以不同基板和操作特性分類，亦同時標示矽、碳化矽、氮化鎵垂直型元件的物理極限做為參考，由圖可知氮化鎵橫向型元件已經大大超越矽元件極限並接近氮化鎵直型元件極限，同時挾著 2DEG 的優勢 HEMT 結構明顯較 MOSFET 更傑出。

功率電晶體的另一個重要要求為 Normally-off 特性，目前文獻中在氮化鎵橫向型 HEMT 實現這個特性的方



圖五：文獻中氮化鎵橫向型元件之特性比較

法大略可以分為五類：第一類為 2006 年 Toshiba 提出使用掘入式 (Recess) 和 2008 年 RPI 提出使用掘入式合併 MOS 閘極結構，宣稱 V_{th} 可以到 2.5 V；第二類為最早 2000 年由 University of South Carolina 所提的 p-GaN gate HEMT，此結構已由 Panasonic 及 EPC 商品化， V_{th} 一般可達 1 V；第三類為 2005 年香港科技大學所發表植入氟離子等負電荷於閘極區域，可將 V_{th} 從 -4 V 增加至 0.9 V；第四類為是使用較為複雜的磊晶結構來消除因為壓電極化效應而感應的 2DEG，以 2009 年 NEC 所發表的壓電極化中和結構為代表， V_{th} 可以達到 1.5 V。第五類為 nano-ribbon 的 channel 結構，2012 年 MIT 以 MIS tri-gate 的設計達到 V_{th} 為 0.8 V。雖然以上種種結構都可以實現 Normally-off 特性，但是閘極操作的可靠度仍待驗證，而目前對氮化鎵電晶體閘極可靠度的研究不如矽元件廣泛而完整，會是未來氮化鎵研究的另一個重點。氮化鎵 HEMT 另外一個遭遇到的問題是電流坍塌 (Current collapse) 現象，其原因為元件表面或材料內部缺陷抓住或釋放電子，而造成元件的動態特性不穩定，其結果為元件導通電阻受到不同偏壓和脈衝狀態而有很大的改變，研究發現氮化鎵磊晶條件、元件表面 passivation layer、和元件結構如 field plate 設計等可以有效改善電流坍塌的現象，但是是否足以滿足功率元件的要求仍然有待時間的驗證。

五、結論

本文針對氮化鎵材料及其功率元件做一簡單的回顧，並整理了目前一些重要的研究結果。由於優異的材料特性，毫無疑問地氮化鎵功率元件可以超越矽功率元件的極限；然而材料成長、製程和元件設計上的困難帶來不小的挑戰。優異和挑戰性這兩個特性結合使得氮化鎵功率元件是目前最活躍的半導體研究領域之一。作者期待在不久的將來全世界固態電子領域的專家學者們能夠解決目前遭遇的種種問題，而可以使氮化鎵功率元件走出實驗室階段而進入我們的生活中，為人類便利生活和永續安全的能源有一些貢獻。

六、參考文獻

1. Akio Nakagawa, Yusuke Kawaguchi and Kazutoshi Nakamura, "Silicon Limit Electrical Characteristics of Power Devices and ICs," ISPSD, pp. 26-28, 2008.
2. Jerry L. Hudgins, Grigory S. Simin, Enrico Santi, and M. Asif Khan, "An Assessment of Wide Bandgap Semiconductors for Power Devices," IEEE Transaction on Power Electronics, Vol. 18, No. 3, pp. 907-914, 2003.
3. B. Jayant Baliga, "Power Semiconductor Device Figure of Merit for High-Frequency Applications,

- IEEE Electron Device Letters, Vol. 10, No. 10, pp. 455-457, 1989.
4. O. Ambacher, B. Foutz, J. Smart, J. R. Shealy, N. G. Weimann, K. Chu, M. Murphy, A. J. Sierakowski, W. J. Schaff, L. F. Eastman, R. Dimitrov, A. Mitchell, and M. Stutzmann, "Two Dimensional Electron Gases Induced by Spontaneous and Piezoelectric Polarization in Undoped and Doped AlGaIn/GaN heterostructures," *Applied Physics Letters*, Vol. 87, No. 1, pp. 334-344, 2000
 5. L. Shen, S. Heikman, B. Moran, R. Coffie, N.-Q. Zhang, D. Buttari, I. P. Smorchkova, S. Keller, S. P. DenBaars, and U. K. Mishra, "AlGaIn/AlN/GaN High-Power Microwave HEMT," *IEEE Electron Device Letters*, Vol. 22, No. 10, pp. 457-459, 2001.
 6. S.O. Kucheyev, J.S. Williams, S.J. Pearton, "Ion implantation into GaN," *Materials Science and Engineering*, Vol. 33 pp. 51-107, 2001.
 7. R. Groh, G. Gerey, L. Bartha, and J. I. Rankove, "On the Thermal Decomposition of GaN in Vacuum," *Physica Status Solidi (a)*, Vol. 26, pp. 353-357, 1974.
 8. M. Okada, Y. Saitoh, M. Yokoyama, K. Nakata, S. Yaegashi, K. Katayama, M. Ueno, M. Kiyama, T. Katsuyama, and T. Nakamura, "Novel Vertical Heterojunction Field-Effect Transistors with Re-grown AlGaIn/GaN Two-Dimensional Electron Gas Channels on GaN Substrates," *Applied Physics Express*, Vol. 3, p. 054201, 2010.
 9. T. Oka, Y. Ueno, T. Ina, and K. Hasegawa, "Vertical GaN-based Trench Metal Oxide Semiconductor Field-effect Transistors on a Free-standing GaN Substrate with Blocking Voltage of 1.6 kV," *Applied Physics Express*, Vol. 7, p. 021002, 2014.
 10. Y. Hatakeyama, K. Nomoto, N. Kaneda, T. Kawano, T. Mishima, and T. Nakamura, "Over 3.0 GW/cm² Figure-of-Merit GaN p-n Junction Diodes on Free-Standing GaN Substrates," *IEEE Electron Device Letters*, Vol. 32, No. 12, pp. 1674-1676, 2011.
 11. I. Kizilyalli, A. P. Edwards, H. Nie, D. Disney, D. Bour, "High Voltage Vertical GaN p-n Diodes With Avalanche Capability," *IEEE Electron Device Letters*, Vol. 60, No. 10, pp. 3067-3069, 2013.
 12. I. Kizilyalli, A. P. Edwards, H. Nie, D. Bour, T. Prunty, and D. Disney, "3.7 kV Vertical GaN PN Diodes," *IEEE Electron Device Letters*, Vol. 35, No. 2, pp. 247-249, 2014.
 13. J.B. Limb, D. Yoo, J.-H. Ryou, S.-C. Shen and R.D. Dupuis, "Low on-resistance GaN PIN Rectifiers Grown

- on 6H-SiC Substrates,” *Electronic Letters*, Vol. 43, No. 6, pp. 247-249, 2014.
14. Y. Zhang, M. Sun, D. Piedra, M. Azize, T. Zhang, T. Fujishima, and T. Palacios, “GaN-on-Si Vertical Schottky and p-n Diodes,” *IEEE Electron Device Letters*, Accepted for publication.
15. G. Y. Lee, H. H. Liu and J. I. Chyi, “High-performance AlGaN/GaN Schottky Diodes With an AlGaN/AlN Buffer Layer,” *IEEE Electron Device Letters*, Vol. 32, pp. 1519, 2011.
16. B. Lu, and T. Palacios, “High Breakdown (> 1500 V) AlGaN/GaN HEMTs by Substrate-Transfer Technology,” *IEEE Electron Device Letters*, Vol. 31, No. 9, pp. 951–953, 2010.
17. I. Hwang, H. Choi, J. W. Lee, H. S. Choi, J. Kim, J. Ha, C. Y. Um, S. K. Hwang, J. Oh, J. Y. Kim, J. K. Shin, Y. Park, U. I. Chung, I. K. Yoo, and K. Kim, “1.6kV, 2.9 m Ω .cm² Normally-off p-GaN HEMT Device,” *Proc. ISPSD 2012*, pp. 41-44, 2012.
18. O. Hilt, F. Brunner, E. Cho, A. Knauer, E. Bahat-Treidel, and J. Wurfl, “Normally-Off High-Voltage p-GaN Gate GaN HFET with Carbon-Doped Buffer,” *Proc. ISPSD 2011*, pp. 239-242, 2011.
19. Y. Uemoto, M. Hikita, H. Ueno, H. Matsuo, H. Ishida, M. Yanagihara, T. Ueda, T. Tanaka, and D. Ueda, “Gate Injection Transistor (GIT)—A Normally-Off AlGaN/GaN Power Transistor Using Conductivity Modulation,” *IEEE Transactions on Electron Devices*, Vol. 54, No. 12, pp. 3393-3399, 2007.
20. Y. Dora, A. Chakraborty, L. McCarthy, S. Keller, S. P. DenBaars, and U. K. Mishra “High Breakdown Voltage Achieved on AlGaN/GaN HEMTs with Integrated Slant Field Plates,” *IEEE Electron Device Letters*, Vol. 27, No. 9, pp. 713–715, 2006.
21. W. Huang, T. Paul Chow, Y. Niiyama, T. Nomura, and S. Yoshida, “Experimental Demonstration of Novel High-Voltage Epilayer RESURF GaN MOSFET,” *IEEE Electron Device Letters*, Vol. 30, No. 8, pp. 1018–1020, 2009.
22. K. Ota, K. Endo, Y. Okamoto, Y. Ando, H. Miyamoto and H. Shimawaki, “A Normally-off GaN FET with High Threshold Voltage Uniformity Using A Novel Piezo Neutralization Technique,” *IEDM*, pp. 1-4, 2009.
23. B. Lu, E. Matioli, T. Palacios, “Tri-Gate Normally-Off GaN Power MISFET,” *IEEE Electron Device Letters*, Vol. 33, No. 3, pp. 360–362, 2012.

24. K. Tang, Z. Li, T. P. Chow, Y. Niiyama, T. Nomura and S. Yoshida,” Enhancement-mode GaN Hybrid MOS-HEMTs with Breakdown Voltage of 1300V,” ISPSD, pp. 279-282, 2009.

作者簡介

黃智方

經歷：國立清華大學電子工程研究所副教授

學歷：美國普度大學電機工程博士

專長：半導體元件製程及物理、功率半導體元件、寬能隙半導體

張庭輔

學歷：清華大學電子工程研究所博士生